

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-133906
(43)Date of publication of application : 22.05.1998

(51)Int.CI. G06F 11/22

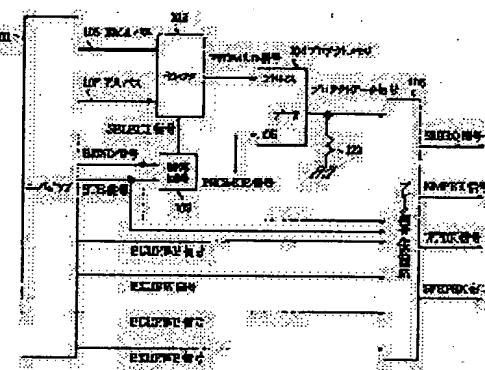
(21)Application number : 08-286610 (71)Applicant : NEC CORP
(22)Date of filing : 29.10.1996 (72)Inventor : YABUMOTO MASAHIRO

(54) IN-CIRCUIT EMULATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To use general components, to make a substrate small in size, and to improve specification standardization and use convenience by putting a mapping memory and special function register (SFR) protection memory into one protect memory.

SOLUTION: The mapping memory and SFR protect memory are put into one protect memory 104. A selector 102 selects address signals on an EMA bus 106 and an EA bus 107 by using address signals on the EMA bus 106 and EA bus 107 which are outputted from an EVA chip 101 and an SERECT signal outputted form a control circuit 103, and outputs them as a PROMAD signal. The protect memory 104 outputs a protect data signal stored in the address that the PROMAD signal indicates when a PROMOE signal becomes 1 by using the PROMAD signal outputted from the selector 102 and the PROMOE signal outputted form the control circuit 103.



LEGAL STATUS

[Date of request for examination] 29.10.1996
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 2962247
[Date of registration] 06.08.1999
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-133906

(43)公開日 平成10年(1998)5月22日

(51)Int.Cl.⁶

G 0 6 F 11/22

識別記号

3 4 0

F I

G 0 6 F 11/22

3 4 0 A

審査請求 有 請求項の数2 OL (全10頁)

(21)出願番号 特願平8-286610

(22)出願日 平成8年(1996)10月29日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 藤本 雅弘

東京都港区芝五丁目7番1号 日本電気株式会社内

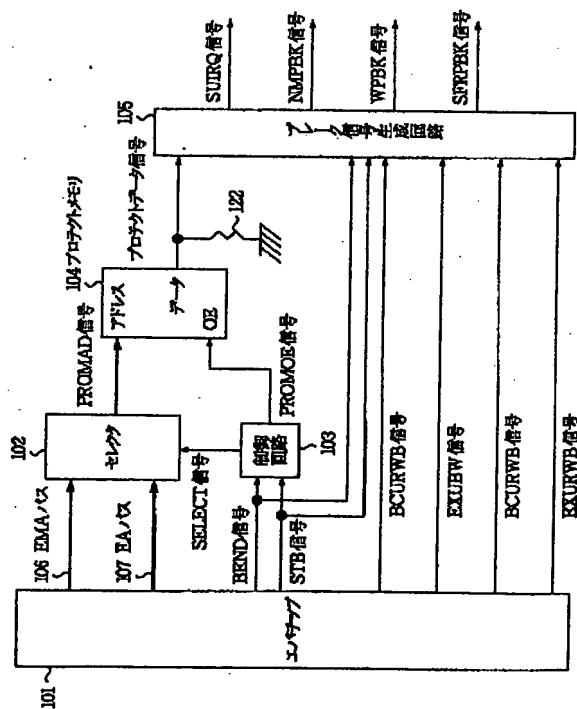
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 インサーキットエミュレータ

(57)【要約】

【課題】インサーキットエミュレータにおける汎用部品化、小基板化、仕様統一性向上、利便向上にある。

【解決手段】プログラムメモリ領域、データメモリ領域に対応した各アドレスバス106、107上のバス信号を入力しそれらの1つのバス信号を制御信号により選択出力するセレクタ102と、このセレクタ102のバス信号出力をアドレス入力しマッピングデータおよびプロテクトデータを予め設定および格納するプロテクトメモリ104と、を備えている。また、制御信号が、各アドレスバス上のアドレス信号の有効期間を示す信号の1つに対応した信号である。



(2)

【特許請求の範囲】

【請求項1】 メモリ空間がプログラム、データを格納するプログラムメモリ領域、データメモリ領域に分けられ且つそれぞれに対応したアドレスバスを有するマイクロコンピュータをエミュレーションするとき、前記プログラムメモリ領域内にマッピングされた各マッピング領域の属性などを示すマッピングデータと、前記データメモリ領域内に割り当てられた各特殊機能レジスタに対するアクセス許可／不許可を示すプロテクトデータと、を予め設定し、前記各マッピング領域、前記各特殊機能レジスタに対する不正アクセスを検出し、エミュレーション停止するインサーキットエミュレータにおいて、前記各アドレスバスのバス信号を入力しそれらの1つのバス信号を制御信号により選択出力する選択手段と、この選択手段のバス信号出力をアドレス入力し前記マッピングデータおよび前記プロテクトデータを予め設定および格納する記憶手段と、を備えることを特徴としたインサーキットエミュレータ。

【請求項2】 前記制御信号が、前記各アドレスバス上のアドレス信号の有効期間を示す信号の1つに対応した信号である、請求項1記載のインサーキットエミュレータ。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明はインサーキットエミュレータに関し、特にプログラムメモリ領域、データメモリ領域のそれぞれに対応したアドレスバスを有するマイクロコンピュータをエミュレーションするインサーキットエミュレータに関する。

【0002】

【従来の技術】 インサーキットエミュレータとは、特定のマイクロコンピュータの動作を実現する装置である。このインサーキットエミュレータの機能について、まず、説明する。

【0003】 エミュレーション対象であるマイクロコンピュータのメモリ空間及びそのマイクロコンピュータを使用するターゲットシステム全体のメモリ空間は、主にプログラムの格納に使用するプログラムメモリ領域と、主にデータの格納に使用するデータメモリ領域とに分けられていることが多い。このプログラムメモリ領域内にマッピングされた各マッピング領域があり、使用される領域をマッピングエリア、使用されない領域をノンマップエリアと呼ぶ。更に、マッピングエリアは、使用しているメモリの属性によって区別される。ROMが割り当てられている領域はROMエリア、RAMが割り当てられている領域はRAMエリアと呼ぶ。このノンマップエリアに対するアクセスや、ROMエリアに対するライトアクセスを検出し、エミュレーションを停止させる機能がマッピング機能である。この機能によりエミュレーションが停止することをノンマップブレーク及びライトブ

ロテクトブレークと呼ぶ。

【0004】 また、データメモリ領域内には特殊機能レジスタ（以下、SFRと呼ぶ）とメインRAMと呼ばれる領域が割り当てられている。このSFRへの不正アクセスを検出し、エミュレーションを停止させる機能がSFRプロテクト機能である。この機能によりエミュレーションが停止することをSFRプロテクトブレークと呼ぶ。SFRへの不正なアクセスには、5個の種類がある。その一つ目は、SFR領域に割り当てられている領域内でSFRが存在しないアドレスに対してのアクセスである。二つ目は、リードオンリーのSFRに対してのライトアクセスである。三つ目は、ライトオンリーのSFRに対してのリードアクセスである。四つ目は、バイトアクセス禁止のSFRに対してのバイトアクセスである。五つ目は、ワードアクセス禁止のSFRに対してのワードアクセスである。

【0005】 図7は、従来のインサーキットエミュレータの構成例を示すブロック図である。この従来のインサーキットエミュレータ内には、エミュレーション対象であるマイクロコンピュータと同等の動きをし、更に、インサーキットエミュレータが有する機能の一部を実現しているエバチップ101がある。このエバチップ101から、マッピング機能実現のために必要な信号が、マッピング部701に対して出力されている。

【0006】 マッピング機能実現に必要な信号は、プログラムメモリ系アドレスバスのEMAバス106上のアドレス信号、プログラムメモリ系バス有効信号のBEND信号、プログラムメモリ系リード／ライト信号のBCURWB信号である。EMAバス106上のアドレス信号は、プログラムメモリに対するアクセスが発生した時、出力される。BEND信号は、EMAバス106上のアドレス信号が有効な時に“1”となり、無効な時に“0”となる信号である。BCURWB信号は、プログラムメモリに対するアクセスがリードアクセスの時に“0”となり、ライトアクセスの時に“1”となる信号である。

【0007】 上記の信号を入力信号とし、マッピング部701は、NMPBK信号とWPBK信号を生成する。NMPBK信号は、ノンマップブレーク発生時に“1”となり、ノンマップブレーク未発生時は“0”となる信号である。WPBK信号は、ライトプロテクトブレーク発生時に“1”となり、ライトプロテクトブレーク未発生時に“0”となる信号である。

【0008】 また、SFRプロテクト部702に対しても、エバチップ101からSFRプロテクト機能実現のために必要な信号が出力されている。

【0009】 SFRプロテクト機能実現に必要な信号は、データメモリ系アドレスバスのEAバス107上のアドレス信号、データメモリ系バス有効信号のSTB信号、データメモリ系アクセス幅信号のEXUBW信号、

(3)

3

データメモリ系リード／ライト信号のEXURWB信号、データメモリ系領域判別信号のSTAC信号である。EAバス107上のアドレス信号は、データメモリに対するアクセスが発生した時、出力される。STB信号は、EAバス107上のアドレス信号が有効な時に“1”となり、無効な時に“0”となる信号である。EXUBW信号は、データメモリに対するアクセスがバイトアクセスの時に“0”となり、ワードアクセスの時に“1”となる信号である。EXURWB信号は、データメモリに対するアクセスがリードアクセスの時に“0”となり、ライトアクセスの時に“1”となる信号である。STAC信号は、SFRに対するアクセスの時に“0”となり、メインRAMに対するアクセスの時に“1”となる信号である。

【0010】上記の信号を入力信号として、SFRプロテクト部702は、SFRPBK信号を生成する。SFRPBK信号は、SFRプロテクトブレーク発生時に“1”となり、SFRプロテクトブレーク未発生時に“0”となる信号である。また、NMPBK信号、WPBK信号、SFRPBK信号は、ORゲート703の入力となり、3信号の内一つでも“1”的時に、SVIRQ信号が“1”となる。これらの3信号全てが“0”的時は、SVIRQ信号は“0”である。このSVIRQ信号は、エバチップ101に対するエミュレーション停止要求信号である。

【0011】図8は、マッピング部701の詳細構成例を示す回路図である。マッピング部701は、マッピングメモリ801、ANDゲート802、プルダウン抵抗804、805から構成される。マッピングメモリ801には、マッピングデータが格納されている。図9は、このマッピングデータのフォーマットを説明する説明図である。このマッピングデータは2ビットで構成されており、RAM領域のアドレスには“ビット1、ビット0”=“0, 0”が格納され、ROM領域のアドレスには“1, 0”が格納され、ノンマップ領域のアドレスには“0, 1”が格納されている。マッピングメモリ801のアドレス入力には、EMAバス106上のアドレス信号が入力され、アウトプットイネーブル入力にはBEND信号が入力される。マッピングメモリ801の出力は2ビットあり、共にプルダウン抵抗804、805が接続されている。このプルダウン抵抗804、805は、アウトプットイネーブル入力に“0”が入力されている時、Hi-zとなるマッピングメモリ801の出力を“0”に固定するためのものである。マッピングメモリ801のビット0出力がNMPBK信号となり、ビット1出力803は、BCURWB信号と共にANDゲート802に入力される。そして、ANDゲート802の出力がWPBK信号となる。

【0012】図10は、ノンマップブレーク、ライトプロテクトブレーク発生時の動作を示すタイミングチャート

4

である。図8、図10を参照し、マッピング部701の動作を説明する。ノンマップ領域に対するアクセス発生時は、EMAバス106にアドレスが出力され、BEND信号に“1”が出力される。その時、マッピングメモリ801からマッピングデータが出力される。ノンマップ領域のマッピングデータは“0, 1”なので、NMPBK信号が“1”となり、WPBK信号はマッピングデータのビット1出力803が“0”なので、必ず“0”となる。NMPBK信号が“1”となるので、エバチップ101に対するエミュレーション停止要求信号であるSVIRQ信号も“1”となる。

【0013】ROM領域に対するライトアクセス発生時は、EMAバス106にアドレスが出力され、BCURWB信号に“1”が出力される。ROM領域のマッピングデータは“1, 0”なので、NMPBK信号が“0”となり、WPBK信号は“1”となる。WPBK信号が“1”となるので、エバチップ101に対するエミュレーション停止要求信号であるSVIRQ信号も“1”となる。

【0014】図11は、SFRプロテクト部702の詳細構成例を示す回路図である。このSFRプロテクト部702は、SFRプロテクトメモリ1103、NOTゲート1101、ANDゲート1102、プルダウン抵抗1104から構成される。SFRプロテクトメモリ1103は、アドレス入力として、EAバス107上のアドレス信号、EXURWB信号、EXUBW信号を入力し、アウトプットイネーブル入力として、ANDゲート1102の出力を入力する。ANDゲート1102は、NOTゲート1101の出力およびSTB信号を入力する。NOTゲート1101は、STAC信号を入力する。SFRプロテクトメモリ1103の出力は1ビットあり、プルダウン抵抗1104がつながっている。このプルダウン抵抗1104は、アウトプットイネーブルに“0”が入力されている時、Hi-zとなるSFRプロテクトメモリ1103の出力を“0”固定するためのものである。SFRプロテクトメモリ1103の出力がSFRPBK信号となる。

【0015】SFRプロテクトメモリ1103には、SFRプロテクトデータが格納されている。図12は、このSFRプロテクトデータのフォーマットを説明する説明図である。SFRプロテクトデータは、マッピングデータとは異なり、先ずSFR領域の最初のアドレスから最後のアドレスまでの1アドレス毎に対してバイトリードアクセスを許可するかどうかのデータを格納し、その上位側にバイトライトアクセスを許可するかどうかのデータを格納し、その上位側にワードリードアクセスを許可するかどうかのデータを格納し、その上位側にワードライトアクセスを許可するかどうかのデータを格納する。許可するアドレスには“0”を格納し、禁止するアドレスには“1”を格納する。

(4)

5

【0016】図13は、SFRプロテクトブレーク発生時の動作を示すタイミングチャートで有る。図11、図13を参照し、SFRプロテクト部702の動作を説明する。

【0017】SFR領域に対するバイトリードアクセス発生時は、EAバス107上にアドレス信号が出力され、STAC信号に“0”、STB信号に“1”、EXUBW信号に“0”、EXURWB信号に“0”が出力される。その時、“00EA番地”的SFRプロテクトデータが出力される。SFRプロテクトデータが“0”ならば、SFRPBK信号もSVIRQ信号も“0”だが、SFRプロテクトデータが“1”ならば、SFRPBK信号が“1”であり、エバチップ101に対するエミュレーション停止要求信号であるSVIRQ信号も“1”となる。

【0018】同様に、バイトライトアクセス発生時は“01EA番地”的SFRプロテクトデータが、ワードリードアクセス発生時は“10EA番地”的SFRプロテクトデータが、ワードライトアクセス発生時は“11EA番地”的SFRプロテクトデータが出力されて、SFRPBK信号とSVIRQ信号が決定する。

【0019】この従来のインサーキットエミュレータでは、64Kバイトのメモリ空間と256バイトのSFR空間を持つマイクロコンピュータを対象とした場合、64Kワード×2ビット以上のメモリ1個と、1Kワード×1ビット以上のメモリ1個が必要となる。

【0020】

【発明が解決しようとする課題】近年、メモリが大容量化していく中で、従来のインサーキットエミュレータは、マッピングメモリとSFRプロテクトメモリの小容量メモリを2個使用する構成となっており、メモリ使用効率が著しく悪く、小容量メモリの入手も困難となっていると共に、小基板化への妨げにもなっている。

【0021】また、マッピング部とSFRプロテクト部とで、実現手段が異なっているために、実現可能な仕様に差があり、仕様の統一性がない。

【0022】さらに、マッピングデータとSFRプロテクトデータのフォーマットが異なっているために、別々の2個のデータを作成しなければいけない等の問題がある。

【0023】したがって、本発明の目的は、インサーキットエミュレータにおける汎用部品化、小基板化、仕様統一性向上、利便性向上にある。

【0024】

【課題を解決するための手段】そのため、本発明は、メモリ空間がプログラム、データを格納するプログラムメモリ領域、データメモリ領域に分けられ且つそれぞれに対応したアドレスバスを有するマイクロコンピュータをエミュレーションするとき、前記プログラムメモリ領域内にマッピングされた各マッピング領域の属性などを示

(4)

6

すマッピングデータと、前記データメモリ領域内に割り当てられた各特殊機能レジスタに対するアクセス許可／不許可を示すプロテクトデータと、を予め設定し、前記各マッピング領域、前記各特殊機能レジスタに対する不正アクセスを検出し、エミュレーション停止するインサーキットエミュレータにおいて、前記各アドレスバスのバス信号を入力しそれらの1つのバス信号を制御信号により選択出力する選択手段と、この選択手段のバス信号出力をアドレス入力し前記マッピングデータおよび前記10プロテクトデータを予め設定および格納する記憶手段と、を備えている。

【0025】また、前記制御信号が、前記各アドレスバス上のアドレス信号の有効期間を示す信号の1つに対応した信号である。

【0026】

【発明の実施の形態】次に、本発明について図面を参照して説明する。図1は、本発明のインサーキットエミュレータの実施形態を示すブロック図である。図1を参照すると、本実施形態のインサーキットエミュレータは、エバチップ101、制御回路103、セレクタ102、ブレーク信号生成回路105とを備えている。

【0027】制御回路103は、エバチップ101から出力されてくるBEND信号とSTB信号を使用して、2本の制御信号を生成して出力する。1本はセレクタ102に対して出力され、セレクタ102に入力される信号の内、どちらの信号を選択するかを決定するSELECT信号である。もう1本はプロテクトメモリ104に対して出力され、プロテクトメモリ104のアウトプットイネーブル信号となるPROMOE信号である。PROMOE信号は、有効なとき“1”になり、無効なとき“0”になる。

【0028】セレクタ102は、エバチップ101から出力されてくるEMAバス106およびEAバス107上のアドレス信号と、制御回路103から出力されてくるSELECT信号とを使用して、EMAバス106およびEAバス107上のアドレス信号の選択を行いPROMAD信号として出力する。SELECT信号が“1”的時は、EAバス107上のアドレス信号がPROMAD信号となり、“0”的時は、EMAバス106上のアドレス信号がPROMAD信号となる。

【0029】プロテクトメモリ104は、セレクタ102から出力されてくるPROMAD信号と制御回路103から出力されてくるPROMOE信号とを使用して、PROMOE信号が“1”となった時にPROMAD信号が示すアドレスに格納されているプロテクトデータ信号を出力する。プロテクトメモリ104の出力には、プルダウン抵抗122が接続されている。このプルダウン抵抗122は、アウトプットイネーブルに“0”が入力されている時、Hi-zとなるプロテクトメモリ104の出力を“0”固定するためのものである。

(5)

7

【0030】ブレーク信号生成回路105は、プロテクトメモリ104から出力されてくるプロテクトデータ117とエバチップ101から出力されてくるBEND信号、STB信号、BCUBW信号、EXUBW信号、BCURWB信号、EXURWB信号を使用して、SVIRQ信号、NMPBK信号、WPBK信号とSFRPBK信号を生成して出力する。BCUBW信号は、プログラムメモリに対するアクセスがバイトアクセスの時に“0”となり、ワードアクセスの時に“1”となる信号である。

【0031】図2は、制御回路103の詳細構成例を示す回路図である。この制御回路103は、1個のORゲート201から構成される。BEND信号とSTB信号がORゲート201の入力となり、ORゲート201の出力がPROMOE信号となる。つまり、BEND信号かSTB信号のどちらか一方でも“1”となれば、PROMOE信号が“1”となる。SELECT信号は、STB信号をそのまま使用する。つまり、EAバス107上のアドレス信号が有効な時だけSELECT信号を“1”とし、EMAバス106上のアドレス信号が有効な時も含めてEAバス107が無効な時はSELECT信号を“0”とする。

【0032】図3は、プロテクトメモリ104から出力されてくるプロテクトデータ信号のフォーマットを説明する説明図である。プロテクトデータは、任意のアドレスに対して許可されているアクセス形態を示すデータで、プロテクトメモリ104に格納されている。プロテクトデータ信号は7ビット構成とする。

【0033】ビット0は、リードアクセスの可否を示すビットで、“0”だと許可、“1”だと禁止となる。ビット1は、ライトアクセスの可否を示すビットで、“0”だと許可、“1”だと禁止となる。ビット2は、バイトアクセスの可否を示すビットで、“0”だと許可、“1”だと禁止となる。ビット3は、ワードアクセスの可否を示すビットで、“0”だと許可、“1”だと禁止となる。SFRが存在しないアドレスやノンマップ領域は、ビット0, 1, 2, 3の全てが“1”となる。ビット4, 5, 6は、領域属性を示すビットで、“ビット4, ビット5, ビット6,” = “1, 0, 0”だとROM領域、“0, 1, 0”だとRAM領域、“0, 0, 1”だとSFR領域を表す。ノンマップ領域は、“0, 0, 0”で表す。ビット4, 5, 6は、2つ以上“1”になることはない。

【0034】図4は、ブレーク信号生成回路105の詳細構成を示す回路図である。このブレーク信号生成回路105は、2個の3ステートバッファ、2個のNOTゲート、7個のANDゲート、1個のORゲート、1個のNORゲートから構成される。ここで、プロテクトデータ信号の各ビットは、それぞれビット0をPROMDA[0]信号、ビット1をPROMDA[1]信号、ビ

(5)

8

ト2をPROMDA[2]信号、ビット3をPROMDA[3]信号、ビット4をPROMDA[4]信号、ビット5をPROMDA[5]信号、ビット6をPROMDA[6]信号で示している。

【0035】BEND信号が有効な時、3ステートバッファ402はBCUBW信号とBCURWB信号をそのまま出力するが、無効な時はHi-zを出力する。一方、STB信号が有効な時、3ステートバッファ403はEXUBW信号とEXURWB信号をそのまま出力するが、無効な時はHi-zを出力する。2つの3ステートバッファの出力は、BCUBW信号とEXUBW信号、BCURWB信号とEXURWB信号がそれぞれ直結されている。BCUBW信号とEXUBW信号の直結した信号がBW信号で、BCURWB信号とEXURWB信号の直結した信号がRWB信号である。

【0036】図5は、ノンマップブレーク、ライトプロテクトブレーク発生時の動作を示すタイミングチャートである。また、図6は、SFRプロテクトブレーク発生時の動作を示すタイミングチャートである。図4、図5、図6を参照して、ノンマップブレーク、ライトプロテクトブレーク、SFRプロテクトブレーク発生時の動作を以下で説明する。ここで、図5、図6に示すプロテクトデータは、ビット6, 5, 4, 3, 2, 1, 0の順に記してある。

【0037】バイトアクセスが発生すると、BEND信号かSTB信号のどちらかが“1”となり、アドレスに対応したプロテクトデータ117がプロテクトメモリ104から出力される。また、BW信号が“0”となる。BW信号が“0”的時、NOTゲート406の出力は“1”となり、PROMDA[2]信号によりANDゲート405の出力が決定する。バイトアクセス禁止の時は、PROMDA[2]信号が“1”なので、ANDゲート405の出力は“1”となり、ORゲート412の出力、つまりSVIRQ信号が“1”となる。一方、バイトアクセス許可の時は、PROMDA[2]信号が“0”なので、ANDゲート405の出力は“0”となり、SVIRQ信号は他の要因により決定する。一方、BW信号が“0”的時、PROMDA[3]信号に関係なくANDゲート404の出力は常に“0”なので、SVIRQ信号は他の要因により決定する。

【0038】ワードアクセスが発生すると、バイトアクセスが発生した時とは逆に、BW信号が“1”となる。BW信号が“1”的時、NOTゲート406の出力は“0”となり、PROMDA[2]信号に関係なくANDゲート405の出力は常に“0”なので、SVIRQ信号は他の要因により決定する。また、BW信号が“1”的時、ANDゲート404の出力はPROMDA[3]信号により決定する。ワードアクセス禁止の時は、PROMDA[3]信号が“1”なので、ANDゲート404の出力は“1”となり、SVIRQ信号が

(6)

9

“1”となる。一方、ワードアクセス許可の時は、PROMDA [3] 信号が“0”なので、ANDゲート404の出力は“0”となり、SVIRQ信号は他の要因により決定する。

【0039】リードアクセスが発生すると、BEND信号かSTB信号のどちらかが有効となりRWB信号が“0”となる。RWB信号が“0”的時、NOTゲート409の出力は“1”となり、ANDゲート408の出力はPROMDA [0] 信号により決定する。リードアクセス禁止の時は、PROMDA [0] 信号が“1”なので、ANDゲート408の出力は“1”となり、SVIRQ信号が“1”となる。一方、リードアクセス許可の時はPROMDA [0] 信号が“0”なので、ANDゲート408の出力は常に“0”となり、SVIRQ信号は他の要因により決定する。また、RWB信号が“0”的時、PROMDA [1] 信号に関係なくANDゲート407の出力は常に“0”なので、SVIRQ信号は他の要因により決定する。

【0040】ライトアクセスが発生すると、リードアクセスが発生した時とは逆に、BEND信号かSTB信号のどちらかが有効となりRWB信号が“1”となる。RWB信号が“1”的時、NOTゲート409の出力は“0”となり、PROMDA [0] 信号に関係なくANDゲート408の出力が“0”となり、SVIRQ信号は他の要因により決定する。また、RWB信号が“1”的時、ANDゲート407の出力はPROMDA [1] 信号により決定する。ライトアクセス禁止の時は、PROMDA [1] 信号が“1”なので、ANDゲート407の出力は“1”となり、SVIRQ信号が“1”となる。一方、ライトアクセス許可の時はPROMDA [1] 信号が“0”なので、ANDゲート407の出力は常に“0”となり、SVIRQ信号は他の要因により決定する。

【0041】NMPBK信号は、ANDゲート411の出力である。SVIRQ信号が“1”で、且つプロテクトデータ信号がノンマップ領域を示している時に、NMPBK信号は“1”となる。このとき、ノンマップ領域を示すプロテクトデータ信号は、PROMDA [4] 信号、PROMDA [5] 信号、PROMDA [6] 信号の全てが“0”となり、NORゲート401の出力が“1”となるためである。

【0042】WPBK信号は、ANDゲート413の出力である。ANDゲート407の出力が“1”で、且つプロテクトデータ信号がROM領域を示しているときに、WPBK信号は“1”となる。このとき、ROM領域を示すプロテクトデータ信号は、PROMDA [4] 信号が“1”となるためである。

【0043】SFRPBK信号は、ANDゲート410の出力である。SVIRQ信号が“1”で、且つプロテクトデータ信号がSFR領域を示しているときに、SF

(6)

10

RPBK信号は“1”となる。このとき、SFR領域を示すプロテクトデータ信号は、PROMDA [6] 信号が“1”となるためである。

【0044】以上、本実施形態のインサーキットエミュレータは、図7に示す従来のインサーキットエミュレータと同じ動作をすることを示した。しかし、従来のインサーキットエミュレータはメモリ2個を必要としたが、本実施形態のインサーキットエミュレータでは、64Kバイトのメモリ空間と256バイトのSFR空間を持つマイクロコンピュータを対象とした場合、64Kバイトのメモリ空間は256バイトのSFR空間を含むので、64Kワード×7ビット以上のメモリ1個を必要とするのみである。

【0045】

【発明の効果】以上説明したように、本発明によるインサーキットエミュレータは、マッピングメモリとSFRプロテクトメモリを1個のプロテクトメモリにまとめるこことにより、汎用性の高い大容量メモリを使用できる。

【0046】また、マッピング機能とSFRプロテクト機能の仕様の違いを無くしたので、実現可能な仕様が統一され、全メモリ空間で同じ不正アクセスを検出することが出来る。

【0047】さらに、予め作成するプロテクトデータが1個だけになり、利便性が向上するなどの効果がある。

【図面の簡単な説明】

【図1】本発明のインサーキットエミュレータの実施形態を示すブロック図である。

【図2】図1における制御回路を示す回路図である。

【図3】図1におけるプロテクトデータのフォーマットを説明する説明図である。

【図4】図1におけるブレーク信号生成回路を示す回路図である。

【図5】図1のインサーキットエミュレータにおけるノンマップブレーク、ライトプロテクトブレーク発生時の動作を示すタイミングチャートである。

【図6】図1のインサーキットエミュレータにおけるSFRプロテクトブレーク発生時の動作を示すタイミングチャートである。

【図7】従来のインサーキットエミュレータの構成例を示すブロック図である。

【図8】図7におけるマッピング部の詳細構成例を示す回路図である。

【図9】図8におけるマッピングデータのフォーマットを説明する説明図である。

【図10】図8におけるノンマップブレーク、ライトプロテクトブレーク発生時の動作を示すタイミングチャートである。

【図11】図7におけるSFRプロテクト部の詳細構成例を示す回路図である。

【図12】図1におけるSFRプロテクトデータのフ

(7)

11

オマットを説明する説明図である。

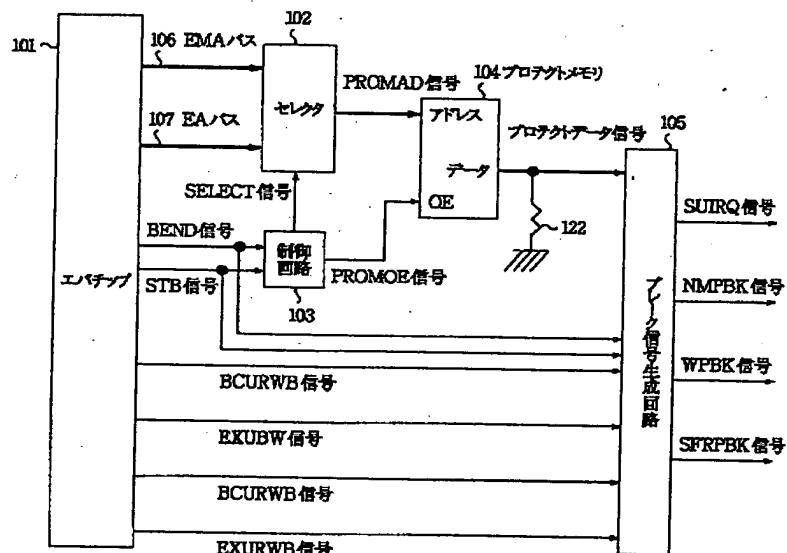
【図1】図11におけるSFRプロテクトデータ発生時の動作を示すタイミングチャートである。

【符号の説明】

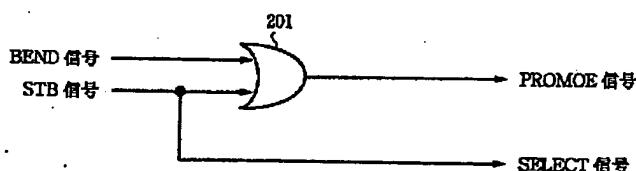
- 101 エバチップ
 102 セレクタ
 103 制御回路
 104 プロテクトメモリ
 105 ブレーク信号生成回路
 106 プログラムメモリ系アドレスバス (EMAバス)
 107 データメモリ系アドレスバス (EAバス)
 122 プルダウン抵抗
 201 ORゲート
 401 NORゲート

- 12
 402, 403 3ステートバッファ
 404, 405, 407, 408, 410, 411, 413 ANDゲート
 406, 409 NOTゲート
 412 ORゲート
 701 マッピング部
 702 SFRプロテクト部
 703 ORゲート
 801 マッピングメモリ
 802 ANDゲート
 804, 805 プルダウン抵抗
 1101 NOTゲート
 1102 ANDゲート
 1103 SFRプロテクトメモリ
 1104 プルダウン抵抗

【図1】



【図2】



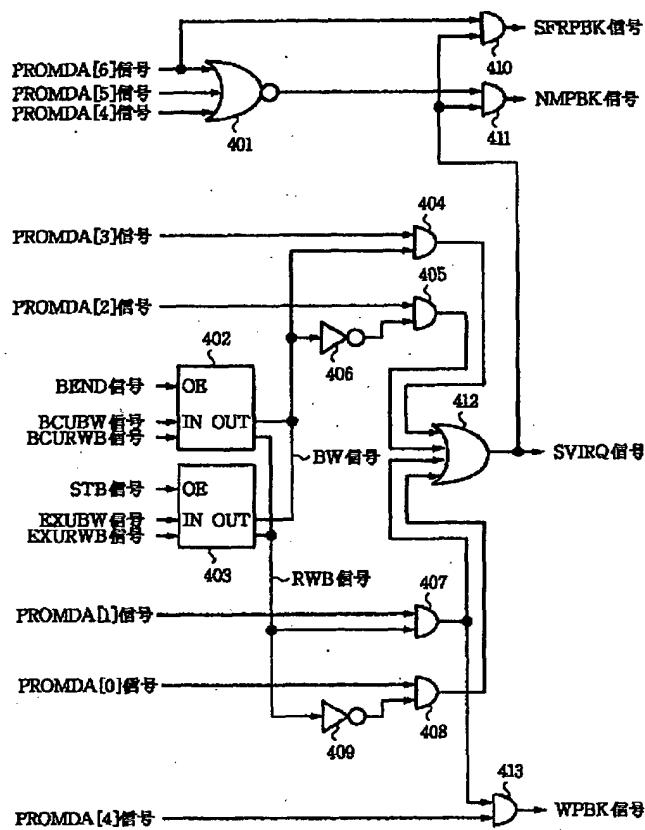
【図9】

ビット6	領域属性	0		0	RAM	1	SFR
ビット5		0		1		0	
ビット4		1		0		0	
ビット3	ワードアクセス	0: 許可	1: 禁止				
ビット2	バイトアクセス	0: 許可	1: 禁止				
ビット1	ライトアクセス	0: 許可	1: 禁止				
ビット0	リードアクセス	0: 許可	1: 禁止				

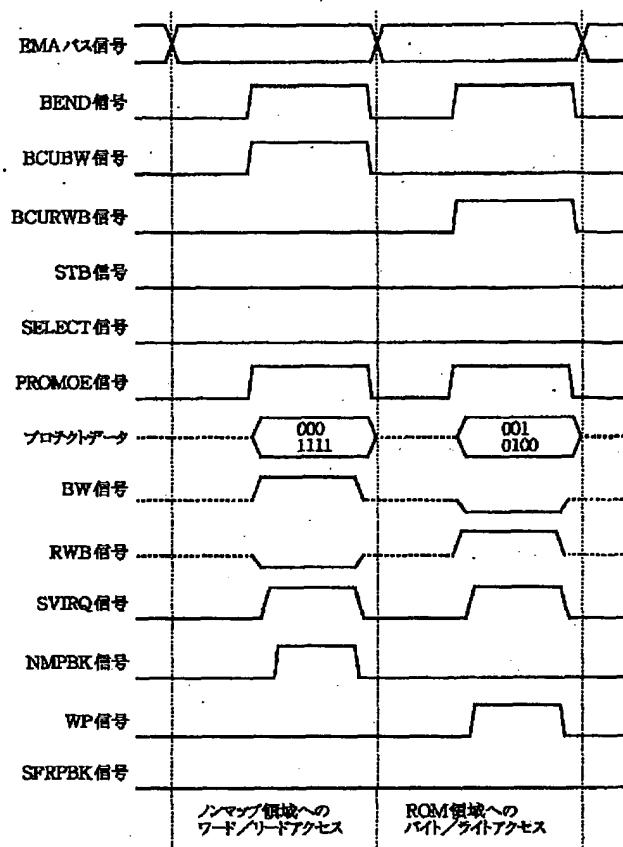
ビット1	0	RAM領域	1	ROM領域	0	ノンマップ領域
ビット0	0		0		1	

(8)

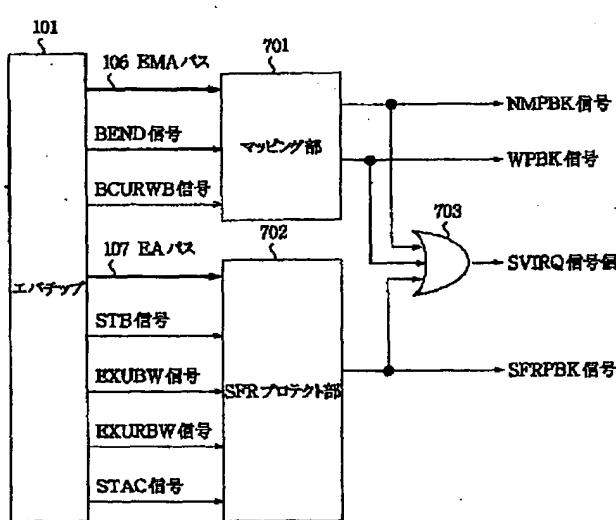
【図4】



【図5】



【図7】



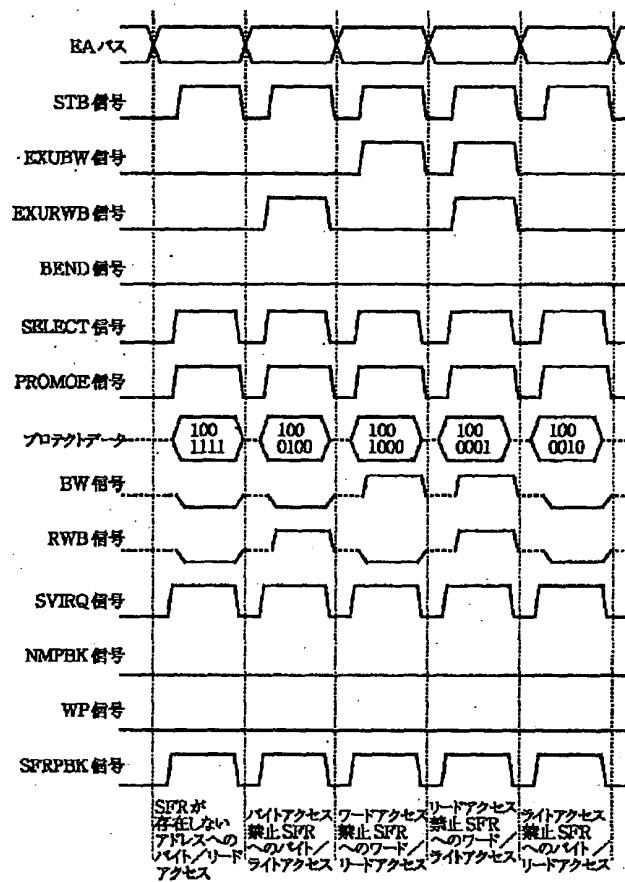
【図12】

アドレス00XXXXXXXXXX	OO番地のSFR バイト/リードアクセス
アドレス01XXXXXXXXXX	FF番地のSFR バイト/リードアクセス
アドレス10XXXXXXXXXX	OO番地のSFR バイト/ライトアクセス
アドレス11XXXXXXXXXX	FF番地のSFR ワード/リードアクセス
	OO番地のSFR ワード/ライトアクセス

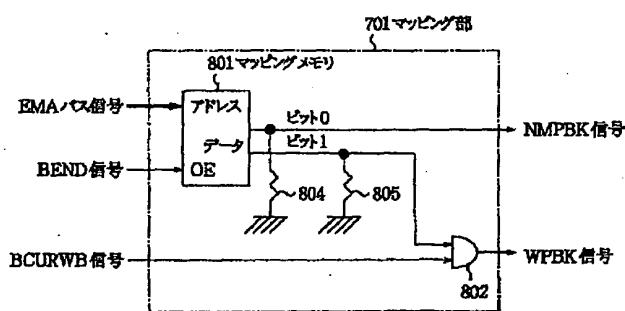
(アドレス=EXUBW信号, EXURWB信号, EAバス)

(9)

【図 6】

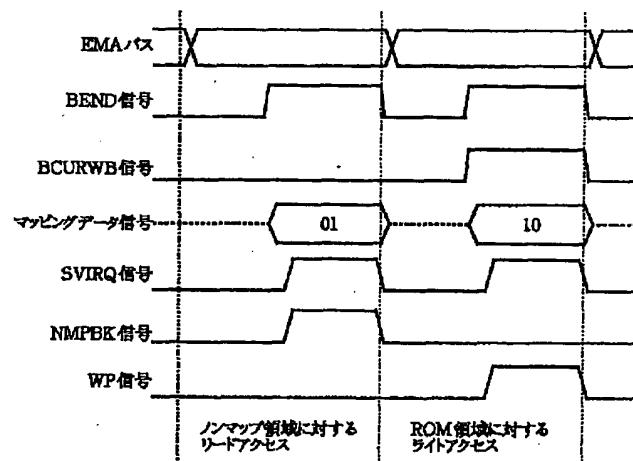


【図 8】

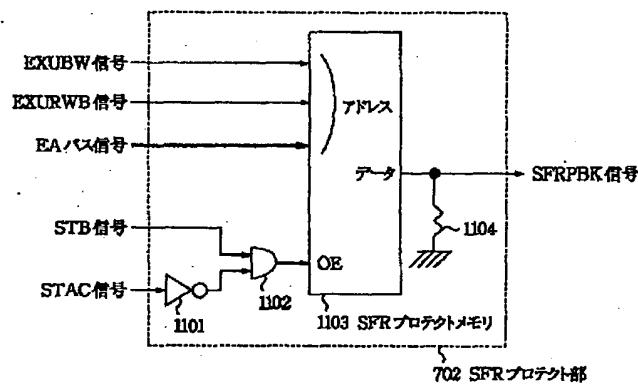


(10)

【図10】



【図11】



【図13】

